

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-163794

(43)Date of publication of application : 28.06.1989

(51)Int.Cl.

G09G 3/20
G09G 3/28

(21)Application number : 62-321389

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.12.1987

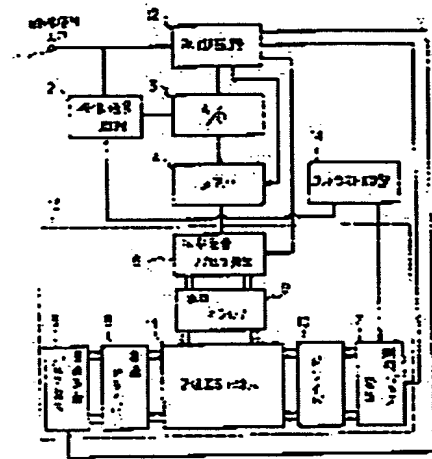
(72)Inventor : ETO MASAYASU
ANDO KUNIO
INOUE FUMIO

(54) BINARY DISPLAY PANEL IMAGE DISPLAY DEVICE

(57)Abstract:

PURPOSE: To adjust the contrast of a binary display element as a pixel by varying weight assigned previously to the respective bits constituting (n)-bit image data.

CONSTITUTION: A video signal is inputted to a terminal 1, a processing circuit 2 generates a primary-color image signal, and an A/D converter 3 stores it in a memory 4, bit by bit, as an (n)-bit PCM signal. A control circuit 12 sends various control signals synchronized with the input signal 1. Pulse generating circuits 5 and 6 and drivers 8 and 9 send vertical and horizontal pulses to apply a display panel 11 with write pulses including signals by the bits of the memory synchronized with the control signals. A generating circuit 7 sends maintaining pulses matching the weight of the write pulses by the circuit 6. At this time, a contrast adjusting circuit 14 limits the number of the maintaining pulses generated by the generating circuit 7 and further reduces the amplitude of the input signal to the A/D converter 3 through the processing circuit 2 at need. With this constitution, the contrast can be adjusted with high precision over a wide range.



BEST AVAILABLE COPY

⑮ 公開特許公報(A)

平1-163794

⑯ Int. Cl.

G 09 G 3/20
3/28

識別記号

庁内整理番号

7335-5C

⑰ 公開 平成1年(1989)6月28日

審査請求 未請求 発明の数 1 (全20頁)

⑱ 発明の名称 2値表示パネル画像表示装置

⑲ 特 願 昭62-321389

⑳ 出 願 昭62(1987)12月21日

㉑ 発 明 者 江 渡 正 容 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉒ 発 明 者 安 藤 久 仁 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉓ 発 明 者 井 上 文 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉔ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉕ 代 理 人 弁理士 並 木 昭 夫

明 細 書

1. 発明の名称

2 値表示パネル画像表示装置

2. 特許請求の範囲

1. 発光を維持するに足る維持パルスを印加されたときは発光し、印加されないときは非発光状態となり、発光と非発光の何れかの状態を選択的にとる2値表示素子を画素としてマトリクス状に配列することにより構成した2値表示パネルから成る画面と、

入力映像信号を処理してR、G、B3原色信号の如き画像信号を出力する映像信号処理回路と、該処理回路からの画像信号を入力されてアナログ/デジタル変換(A/D変換)し1画素当たりnビット(但し、nは整数)の画像データとして出力するA/D変換器と、前記画面を垂直、水平走査する走査回路と、

前記走査回路により前記画面を走査し、nビットを構成する各ビットに予め割り当てられている重みに応じた強度の維持パルスを、nビッ

ト分合計して、走査位置にある画素としての前記2値表示素子に印加する維持パルス発生回路と、から成り、前記画面に前記nビットのビット数nにより定まる所定階調数で画像を濃淡表示する2値表示パネル画像表示装置において、

前記nビットを構成する各ビットに予め割り当てられている重みを可変することにより、画素としての前記2値表示素子の最小発光強度と最大発光強度の比であるコントラストを調整するコントラスト調整手段を具備したことを特徴とする2値表示パネル画像表示装置。

2. 特許請求の範囲第1項記載の2値表示パネル画像表示装置において、前記走査回路による画面の走査は、画面を1画面期間当たり、前記nビットに対応させてn回、時分割的に行う走査から成り、前記維持パルス発生回路は、nビットを構成する各ビットに予め割り当てられている重みに応じた強度の維持パルスを、各ビット対応の時分割的走査毎に、走査位置にある2値表示素子に印加する維持パルス発生回路か

ら成ることを特徴とする2値表示パネル画像表示装置。

3. 特許請求の範囲第1項又は第2項記載の2値表示パネル画像表示装置において、前記nビットを構成する各ビットに予め割り当てられている重みに応じた強度が、維持パルスの個数、維持パルスのパルス幅、もしくは維持パルスのパルス高さ、から成り、前記コントラスト調整手段は、重みとして維持パルスの個数、パルス幅、もしくはパルス高さ、を調整する手段から成ることを特徴とする2値表示パネル画像表示装置。

4. 特許請求の範囲第1項又は第2項記載の2値表示パネル画像表示装置において、前記A/D変換器の入力側において入力映像信号の振幅を変える手段、或いはA/D変換器の入力リファレンス電圧を変える手段、或いはA/D変換器の出力であるデジタル信号に演算処理を施すことにより映像信号の該A/D変換器入力側における振幅を等価的に変える手段を備え、

であるデジタル信号に演算処理を施すことにより映像信号の該A/D変換器入力側における振幅を等価的に変える手段を備え、それにより各表示画素に印加する消去パルスのタイミングを制御して、各画素の最小発光強度と最大発光強度の比であるコントラストを調整する手段から前記コントラスト調整手段が成ることを特徴とする2値表示パネル画像表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、発光を維持するに足る維持パルスを印加されたときは発光し、印加されないときは非発光状態となり、発光と非発光の何れかの状態を選択的にとるプラズマディスプレイの如き2値表示素子を画素としてマトリクス状に配列することにより構成した2値表示パネルを画面とする2値表示パネル画像表示装置に関するものであり、更に詳しくは、画像を画面において或る所定階調数で濃淡表示することを可能にしておき、その所定階調数を損なうことなしに、画面における最小発

それにより各表示画素に印加する維持パルスの強度を制御して、各表示画素の最小発光強度と最大発光強度の比であるコントラストを調整することを特徴とする2値表示パネル画像表示装置。

5. 特許請求の範囲第1項又は第2項記載の2値表示パネル画像表示装置において、前記2値表示パネルは、維持パルスの印加により発光し消去パルスの印加により発光を停止する2値表示素子から成り、前記コントラスト調整手段は、消去パルスの印加タイミングを制御することにより、前記nビットを構成する各ビットに予め割り当てられている重みを等価的に可変する手段から成ることを特徴とする2値表示パネル画像表示装置。

6. 特許請求の範囲第5項記載の2値表示パネル画像表示装置において、前記A/D変換器の入力側において入力映像信号の振幅を変える手段、或いはA/D変換器の入力リファレンス電圧を変える手段、或いはA/D変換器の出力

光強度と最大発光強度の比であるコントラストを調整可能とする手段を備えたかかる2値表示パネル画像表示装置に関するものである。

〔従来の技術〕

プラズマディスプレイとは、ネオンサインのように気体放電による発光現象をディスプレイに用いたものである。即ち、細長いガラス管の両端に平板電極を封じ込み、Neなどの不活性ガスを封入し電圧を印加して発光させるもので、印加電圧が放電開始電圧を超すと放電が起こり、最小放電維持電圧以下に印加電圧を下げると放電は停止する。

かかるプラズマディスプレイは2値表示素子の一例であるが、2値表示素子の集合により2値表示パネルを構成する。つまり、2値表示パネルとは、特定の幅、高さ、周期の維持パルスの入力に対し、白黒あるいは明暗の2値しか表示しないパネルをいう。例えば、「表示素子・装置新技術'85年版」(同編集委員会編 総合技術出版)161頁から165頁に記載されているAC型PDP(

プラズマディスプレイパネル)は2値表示パネルの代表的なものであり、他に大部分のDC型PDP、あるいは強誘電性液晶ディスプレイパネルなども2値表示パネルに属する。

これらの表示パネルには表示画素がマトリクス配置されており、各表示画素の行、列をアドレスしながら映像情報を書込んで表示パネルに画像を再生する。これらの表示パネルは、2値表示パネルであっても、各表示画素の明(暗)表示期間の長さあるいは明(暗)表示の強度を映像信号の振幅に応じて制御すれば、多階調表示(濃淡表示)が可能である。

例えば、特開昭57-97584号公報には、映像信号の振幅に応じて表示画素に印加するパルス数を制御することにより多階調表示を行う方法が記載されている。また、「表示素子・装置技術'85」(同編集委員会編 総合技術出版)193頁から194頁には、映像信号の振幅に応じて書き込みパルス・消去パルスを適宜組合せ、フィールド時分割走査を行なって各表示画素の発光回数を

制御することにより多階調表示を行う方法が記載されている。

このように、一般にパルス数変調もしくはパルス幅、パルス高変調で2値表示パネルを駆動することによって、テレビ画像等の多階調画像を2値表示パネル上に表示することができる。

(発明が解決しようとする問題点)

上記従来技術では、2値表示パネル上に多階調画像を表示することができるが、次に述べるような意味でテレビ受像機の画面としての機能をもたせることについては配慮していなかった。

例えば、テレビ画面を見る場合、その周囲条件を考えて、画面の最小輝度(黒レベル)とか、最大輝度と最小輝度との比(コントラスト比)とかを調整する機能をテレビ受像機は設けている。

現行のテレビ受像機では、前者の黒レベル調整は、表示すべき映像信号の直流レベルを変えることにより行い、後者のコントラスト調整は映像信号の振幅を変えることにより行っている。このように黒レベル調整(ブライト調整)、コントラスト

調整は映像信号の直流レベル調整、振幅調整で従来は行なっていた。

しかし、2値表示パネルを多階調表示で駆動する場合、映像信号の直流レベル調整、振幅調整を行なうと、調整によって有効な階調数が損なわれてしまうという問題を生じる。

例えば、パルス数変調により多階調表示を行う場合を例にとる。このパルス数変調を行なう為、通常は映像信号をA/D変換器(Analog-Digital変換器)でPCM(Pulse-Code Modulation)信号に変換して用いる。このA/D変換器の入力映像信号の直流レベル、振幅を調整すると次の様なことになる。

一般にテレビ画面に表示する再生画像を256階調(デジタル符号にして8ビット必要)とすれば画質的に充分であると考えられるので、用いるA/D変換器は8ビットの出力として説明する。

このA/D変換器の入力ダイナミックレンジを最小レベルから最大レベルまで最大限利用した時に、8ビットのLSB(Least-Significant-

Bit;最下位ビット)からMSB(Most-Significant-Bit;最上位ビット)まで有効なPCM信号を得ることができ、256階調表示が可能となる。もしこのような最適状態、すなわちA/D変換器の入力ダイナミックレンジ一杯に映像信号の振幅範囲を設定した状態から映像信号の直流レベルを変えるとすれば、映像信号は入力ダイナミックレンジを外れてしまい、正常な画面を再生できなくなるという問題を生じる。

また、映像信号の振幅を大きくしても映像信号は入力ダイナミックレンジを外れるし、逆に振幅を絞れば、入力ダイナミックレンジに比べて映像信号の振幅範囲が小さくなった分だけ、表示する画像の階調数が減ることになる。

上記問題の解決策として、従来技術では、映像信号の直流レベル調整範囲、振幅調整範囲に見合う余裕をA/D変換器の入力ダイナミックレンジにもたせ、10ビット、12ビット等の高ビット数A/D変換器を使用していた。しかし、A/D変換器のビット数を増加させることは、A/D変

換器が高価になるばかりではなく、ビット数増加に伴って信号処理回路が複雑になり、また消費電力が増えるなどの別の問題を生じる。

本発明の目的は、A/D変換器のビット数もしくはPCM信号のビット数で決まる画像階調数（例えば256階調）をできるだけ損なうことなく、A/D変換器の入力ダイナミックレンジで制限される調整範囲を超えて広範囲に再生画面のコントラスト調整を行なうことのできる2値表示パネル画像表示装置を提供することにある。

〔問題点を解決するための手段〕

パルス数変調では映像信号の振幅に応じて維持パルス（2値表示の点灯を維持するパルス）の個数を制御し、パルス幅変調では映像信号の振幅に応じて維持パルスのパルス幅を制御して、2値表示の点灯期間の長さを変えて中間調表示（多階調表示）を行なう。このようなパルス数変調、パルス幅変調を含めて、一般に2値表示パネルを駆動するには、映像信号をPCM信号で代表されるディジタル信号に変換し、このディジタル信号（以

下PCM信号）で維持パルスの個数あるいは幅、高さを変調する方法が用いられている。

具体的には、PCM信号の各ビットごとに維持パルスの個数あるいは幅、高さの重みづけをし、A/D変換器出力の映像信号データ（例えば8ビットで構成される0、1の組；すなわちPCM信号）に応じて、1となる各ビットごとに対応するパルス数あるいは幅、高さの全ビット（8ビット）についての総和をとり、この総和に等価な数あるいは幅、高さの維持パルスを表示画素に印加している。

上記、コントラスト調整を有効に行なうという目的は、このA/D変換器出力PCM信号の各ビットごとに割当てた維持パルスの個数あるいは幅、高さを調整する回路を設けることにより達成される。

さらに加えて、上記のようなPCM信号の各ビットごとに割当てた維持パルスの個数あるいは幅、高さを変えて行なうコントラスト調整は、従来に比べ荒い調整であるが、さらに微妙な調整を行な

う方法として、上記のような維持パルスを調整する回路に加えて、A/D変換器に入力する映像信号の振幅を変調する回路もしくは振幅を変調するのと等価な演算処理をA/D変換器の出力データに施すディジタル回路を設ける。

〔作用〕

8ビットA/D変換器出力のPCM信号でパルス数変調を行なう場合、A/D変換器出力のLSB（最下位ビット、これを b_0 とする）に対して例えば a_0 個（ $a_0 \geq 1$ 、整数）の維持パルスを割当て、次の上位ビット（ b_1 ）には a_1 個（ $a_1 \geq a_0$ 、整数）の維持パルスを割当て、これを繰返して、MSB（最上位ビット、これを b_7 とする）には a_7 個の維持パルスを割当てる。そして、上記A/D変換器の出力データ $b_0 \sim b_7$ の各ビットの0、1の状態に応じて、各ビット毎に割当てた維持パルスの個数の総和をとり、この総和に等しい個数の維持パルスを所定の表示画素に印加する。

本発明によるコントラスト調整には直接関係し

ないが、再生画面の黒レベルを決めるものとして、上記A/D変換器の出力データとは関係なく常に a 個（ $a \geq 0$ 整数）の維持パルスを各表示画素に印加するものとする。このとき、各表示画素に印加する維持パルスの総個数 N は

$$N = \sum_{i=0}^7 a_i b_i + a \quad \dots\dots(1)$$

となる。

維持パルス1個の印加に対する表示画素の輝度が k であるとするれば、上記(1)式の維持パルスを印加したときの表示画素の輝度 L は

$$L = k N \\ = \sum_{i=0}^7 a_i b_i + k a \quad \dots\dots(2)$$

となる。上記(2)式から与えられる表示画素の最小発光強度（最小輝度） L_{min} と最大発光強度（最大輝度） L_{max} はそれぞれ

$$\left. \begin{aligned} L_{min} &= k a \\ L_{max} &= k \left(\sum_{i=0}^7 a_i + a \right) \end{aligned} \right\} \quad \dots\dots(3)$$

となり、コントラスト比 C_a を l_{max} / l_{min} で定義すれば

$$C_a = l_{max} / l_{min} = \sum_{i=0}^7 a_i / a + 1 \quad \dots\dots(4)$$

となる。

上記(4)式において $\sum a_i$ を変えると、最大コントラスト比 C_a が変化することがわかる。A/D変換器の出力に対する輝度 l の直線性を考えると a_i は

$$a_i = 2^i m \quad (m: \text{整数}) \quad \dots\dots(5)$$

である。このとき、上記(4)式は m の関数 $C_a(m)$ であり

$$C_a(m) = 255 \cdot \frac{m}{a} + 1 \quad \dots\dots(6)$$

となる。簡単の為 $a = 8$ であるとする、

$$C_a(m) = 31.8m + 1 \quad \dots\dots(6A)$$

であり、コントラスト比 C_a は $C_a(1) \approx 33$ 、 $C_a(2) \approx 65$ 、 $\dots\dots$ の様に変化する。上記(6)式では、 m が整数であるので、最大のコントラスト比 $C_a(m)$ は飛び飛びの値で変化する。 $m \pm 1$ の

変化に対する $C_a(m)$ の変化量は

$$\Delta C_a = \frac{C_a(m \pm 1) - C_a(m)}{C_a(m)} = \frac{\pm 255}{255m + a} \quad \dots\dots(7)$$

であり、 m が100以上であれば、1%程度の変化量でコントラスト比 C_a を変えることができ、実用上は問題ないと思われる。

m が小さいところでは、 ΔC_a は数10%程度となる。このような変化量が大きい調整ではなくさらに細かいコントラスト調整が必要ならば、 a_i の与え方を $2^i m$ とは別に変えたり、A/D変換器に入力する映像信号の振幅を m の変化と並行して変えたりすればよい。 a_i の与え方を変えると表示要素のA/D変換器出力変化に対する輝度 l の変化の直線性が少し変わったり、映像信号の振幅を変えると有効階調数が変わったりするが、映像信号の振幅を変えるだけの従来の方法に比べ階調数の変化は少ない。

(実施例)

以下、本発明の実施例を図面により詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。同実施例は、典型例としてフィールド内時間分割走査(以下フィールド時分割走査)でパルス数変調を行なった場合の2値表示パネルの表示回路を対象として本発明を実施した例である。

第1図において、表示回路は映像信号入力端子1、映像信号処理回路2、A/D変換器3、メモリ4、垂直走査パルス発生回路5、水平走査パルス発生回路6、維持パルス発生回路7、垂直ドライバ8、水平ドライバ9、維持パルス印加用ドライバ10、2値の表示パネル11、各回路の動作をコントロールするための制御回路12、およびコントラスト調整回路14から構成される。また、パルス発生回路5~7、ドライバ8~10、および表示パネル11をまとめて表示部13と定義する。

表示部13の構成は用いる表示パネル11の種類に大きく依存する。例えば強誘電性液晶パネル

を用いることにすると、垂直走査パルス発生回路5、ドライバ8、水平走査パルス発生回路6およびドライバ9で表示パネルを駆動し、維持パルス発生回路7で発生した維持パルスは例えば水平走査パルスと合成して水平ドライバ9を介して表示パネル11に印加する。この場合、ドライバ10は不要となる。しかし、2値表示パネル11を駆動するには、基本的に垂直走査パルス、水平走査パルスおよび維持パルスの3つが必要である。

第1図に示すブロック図では、垂直走査パルス、水平走査パルス、維持パルスを明らかに区別するために、パルス発生回路5~7、ドライバ8~10、をそれぞれ3つに分けて示した。この第1図に示すブロック図の動作は次の通りである。

入力端子1には映像信号を入力する。映像信号処理回路2では入力映像信号に基づき、R、G、B原色信号等の画像信号を形成する。形成された画像信号はA/D変換器3で必要なビット数のPCM信号に変換され、各ビットごとにメモリ4に記憶される。

制御回路 12 では入力映像信号に同期した各種のコントロール信号を形成し、各回路に供給する。垂直走査パルス発生回路 5 では、制御回路 12 からのコントロール信号に基づき、表示パネル 11 の垂直走査用パルスを発生し、垂直ドライバ 8 を介して表示パネル 11 を走査する。水平走査パルス発生回路 6 では、制御回路 12 からのコントロール信号に同期してメモリ 4 の各ビットごとの画像信号を取込み、水平方向に並ぶ表示画素への書込み（開始用）パルスを形成する。この書込みパルスは水平ドライバ 9 を介し、垂直走査のタイミングに合わせて表示パネル 11 に印加される。維持パルス発生回路 7 では、水平走査パルス発生回路 6 で形成した書込みパルスの「重み」に合う個数の維持パルスを形成し、ドライバ 10 を介して表示パネル 11 に印加する。

すなわち、この第 1 図に示すブロック図では、垂直走査パルス発生回路 5 および水平走査パルス発生回路 6 によって表示画素をアドレスし、アドレスされた表示画素は維持パルス発生回路 7 から

の維持パルスによって点灯する。本発明のこの実施例では、コントラスト調整回路 14 を設けて、通常状態では維持パルス発生回路 7 で発生する維持パルスの個数を制御する。さらにコントラスト調整回路 14 は、コントラスト調整を細に行なう必要がある場合には A/D 変換器 3 に入力する映像信号の振幅を絞るように、映像信号処理回路 2 に作用する。もちろん、映像信号の振幅を等価的に変える方法は他にも存在するが、第 1 図にはその代表例を示す。

第 2 図は、フィールド時分割走査をさらに詳しく説明するための、フィールド期間における走査線と走査時刻の関係を示す模式図である。縦軸で走査線番号を示し、横軸で走査時刻を示す。通常のテレビ信号は第 2 図に示す実線 L に沿って走査される。

簡単のため、A/D 変換器では画像信号を $n=4$ ビットの PCM 信号に A/D 変換するものとする。このとき、1 フィールドを第 2 図に示すように $n+1=5$ に時分割して走査する（階層表示を

行なうためだけならし。～L₁ に示す $n=4$ 分割走査で充分であるが、本実施例では最小輝度を決めるための走査 L も行なうことにして説明している）。すなわち、画像信号を 4 ビットで A/D 変換して、LSB から MSB までの 4 ビットをそれぞれ b_0, b_1, b_2, b_3 で表わし、各 b_0, b_1, b_2, b_3 のビットごとに対応してそれぞれ実線 L₀, L₁, L₂, L₃ に沿って走査する。さらに、画像信号のデータ $b_0 \sim b_3$ とは別に実線 L に沿った走査を行なう。第 2 図から分るように、通常のテレビ画面では 1 回の走査で 1 フィールドの画像表示が行なわれるのに対して、第 2 図では 1 フィールドを時間的に 5 分割して走査するフィールド内時間分割走査で画像表示がなされる。

第 3 図は、第 2 図に示すフィールド時分割走査で表示パネル 11 を駆動する場合に、表示パネル 11 の垂直走査電極 K1～K3、維持電極 A1～A3、水平走査電極 S1～S4 に印加するパルスのタイミング例を示したものである。

第 3 図には、表示パネル 11 上に配列した縦 3

画素、横 4 画素の表示部分を駆動するのに充分な数の各走査電極を選んで示している。

垂直走査電極 K1 には例えば時刻 $0, (1+1/5)H, (3+2/5)H, (7+3/5)H, (15+4/5)H$ に、それぞれ記号 k_0, k_1, k_2, k_3, k_4 で表わすパルスを印加する。垂直走査電極 K2, K3 には、K1 に印加するパルスと波形は同じであるが K1 に印加するパルスからそれぞれ 1H, 2H 遅れたパルス（K1 に印加するパルスと同様の記号 k_0, k_1, \dots, k_4 で表わす）を印加する。ここで H は 1 水平走査周期を表わす。

維持電極 A1 には、K1 に印加するパルス k_0, k_1, k_2, k_3, k_4 の時刻に合わせて、それぞれ個数が異なる a_0, a_1, a_2, a_3, a_4 の維持パルスを印加する。維持電極 A2, A3 には、それぞれ K2, K3 に印加するパルス k_0, k_1, \dots, k_4 の時刻に合わせて、A1 に印加するパルスと波形は同じであるが A1 に印加するパルスからそれぞれ 1H, 2H 遅れたパルス（A1 に印加するパルスと同様の記号 a_0, a_1, \dots, a_4 で表わす）を印加する。

水平走査電極S1あるいはS2～S4には、垂直走査電極K1、K2、K3に印加した k_0, k_1, \dots, k_n のいずれかのパルスにタイミングの合うパルスを印加する。パルス k を除いた k_0, \dots, k_n のいずれのパルスとタイミングの合ったパルスを印加するかは、画像信号をA/D変換したデータで決まる。すなわち、A/D変換データのLSBからMSBに対応してそれぞれ k_0, \dots, k_n にタイミングの合うパルスを印加する。但しK1～K3に印加するパルス k にタイミングが合うパルスは全ての電極S1～S4に印加する。

すなわち、第3図に示す k_0, \dots, k_n はビットごとの走査を行なうためのパルスであり、 k は画像信号のデータとは無関係に走査するためのパルスである。各 k_0, k_1, k_2, k_3, k のタイミング間隔は必ずしも第3図に示す間隔である必要はない。しかし例えば第2図に示す走査方式で間隔をHの整数倍にすると同時に b_0, b_1, b_2, b_3, b の走査が重なってしまうので、1例として $H/(1+n) = H/5$ ピッチだけ $k_0, k_1, k_2, \dots, k_n$ の間隔

をHの整数倍からずらしている。

第4図は、第3図に示すパルスで駆動される表示素子の配列を模式的に示した模式図である。K1～K3は垂直走査電極、S1～S4は水平走査電極、A1～A3は維持電極である。表示素子は垂直(行)方向の走査電極K1の番号1と水平(列)方向の走査電極S1の番号1で指定し d_{11} で表わす。例えば表示素子 d_{22} は走査電極K2とS3とで選択される。

第3図に示す電極K1とS1に印加するパルスのタイミングを見ると、S1に印加するパルスはK1に印加する k_0, k_1, k_2, k_3 と k 、K2に印加するパルス k_0 と k 、およびK3に印加するパルス k_1 と k にタイミングが合う。このとき、 k_0, k_1, k_2, k_3, k のパルスに同期させて、それぞれ $a_0 = 1, a_1 = 2, a_2 = 4, a_3 = 8, a = 8$ の維持パルスを印加するものとする。この結果、K1とS1に印加するパルスのタイミングから表示素子 d_{11} では合計 $a_0 + a_1 + a_2 + a_3 + a = 21$ 個の維持パルスによる発光が行なわれる。仮に1個の

維持パルスに対して1の輝度が得られるとすれば、表示素子 d_{11} の輝度 L_{11} は $L_{11} = 21$ となる。

一般に、ある表示素子の輝度 L は前述図式において $k = 1$ とおき、

$$L = \sum_{i=0}^{n-1} a_i \cdot b_i + a \quad \dots\dots (2A)$$

と表わすことができる。但し、 $b_i (i = 0 \sim n-1)$ は映像信号をnビットのPCM信号にA/D変換したときの各ビットのデータであり、 b_0 がLSB、 b_1 が次の上位ビット、 $\dots\dots b_{n-1}$ がMSBの値である。 a_i は各ビット b_i に対して与えられる維持パルスの個数である。 a は表示素子に対して常に印加される維持パルスの個数である。本実施例では簡単の為 $n = 4$ と説明している。

第5図は例えば表示素子 d_{11} に印加する維持パルスの個数を変えたときの、映像信号のA/D変換出力データ($b_0 \sim b_3$)と輝度 L との関係を示したものである。すなわち、第5図(a)には垂直走査パルス $k_0 \sim k$ と、それに対応する維持パルス $a_0 \sim a$ の組A、A'、A''を示し、第5図

(b)にはそれぞれの維持パルスの組A、A'、A''において、A/D変換器の出力 $b_0 \sim b_3$ と輝度 L の関係がどのように変わるかを示す。グラフではA/D変換器の出力が $n = 4$ ビットであるので輝度 L の変化は $2^4 = 16$ 段階となる。

第5図(a)でA1に印加する維持パルスの組($a_0, a_1, a_2, a_3; a$)として、Aは(1, 2, 4, 8; 8)、A'は(2, 4, 8, 16; 8)、A''は(3, 6, 12, 24; 8)となっている。このとき、A/D変換器の出力 $b_0 \sim b_3$ と輝度 L との関係は第5図(b)に示すそれぞれ実線A、A'、A''のようになる。すなわち、

(1) 維持パルスの組($a_0, a_1, a_2, a_3; a$)を(1, 2, 4, 8; 8)とすると、輝度 L は第5図(b)に示す実線Aのように最小輝度 $L_{min} = 8$ から最大輝度 $L_{max} = 15$ まで階調数 $N = 16$ で変化する。このときのコントラスト比 C_a は前記の式(4)より $C_a = 1.875$ である。

(2) 維持パルスの組を(1, 2, 4, 8; 8)→

(2, 4, 8, 16; 8) と変えると、輝度 L は第 5 図 (b) に示す実線 A' のように最小輝度 $L_{min} = 8$ から最大輝度 $L'_{max} = 38$ まで階調数 $N = 16$ で変化する。このときのコントラスト比は $C_a = 4.75$ である。

- (3) 維持パルスの組を (1, 2, 4, 8; 8) → (3, 6, 12, 24; 8) と変えると、輝度 L は第 5 図 (b) に示す実線 A'' のように最小輝度 $L_{min} = 8$ から最大輝度 $L'_{max} = 53$ まで階調数 $N = 16$ で変化する。このときのコントラスト比は $C_a = 6.625$ である。

このように、維持パルスの個数 a_1 を変えると階調数 N を一定に保ちながらコントラスト比を変えることができる。上記 A, A', A'' の例は $a_1 = 2^m$ として m をそれぞれ 1, 2, 3 と変えた場合に相当する。このように $a_1 = 2^m$ と置いた場合、輝度 L の変化は最もまともな直線性を得ることが、第 5 図 (b) から分る。 a_1 の別の与え方も可能であるが、具体的には後で説明する。

第 6 図に、第 5 図に示すコントラスト調整を行

なうための、第 1 図に示した維持パルス発生回路 7 に相当する具体的回路構成例を示す。

第 6 図は、ROM (Read-Only-Memory) 62、ROM 62 用アドレスカウンタ 61、カウンタ 67、単安定マルチバイブレータ 68、カウンタ 69、72、デコード 70、コンパレータ 71、D-FF (Dタイプ-Flip Flop) 73、OR 74, 75、AND 回路 76、1H 遅延回路 78a ~ 78i、アドレスカウンタ 61 のクロック入力端子 60、ROM 62 の出力端子 63、カウンタ 69 のプリセット端子 64、単安定マルチバイブレータ 68 の発振周期調整端子 65、基本維持パルスの入力端子 66、制御維持パルスの出力端子 82、維持パルス出力端子 79a ~ 79j およびコントラスト微調を行なうときの切換信号検出端子 100 で構成される。

ここで、第 6 図の点線枠 81 で示す部分が維持パルス制御回路であり、点線枠 80 と 81 を合わせて第 1 図に示す維持パルス発生回路 7 に相当する。アドレス用カウンタ 61 および ROM 62 は

第 1 図に示す制御回路 12 の一部分を構成する。但しこの第 6 図は、回路構成の一例を示したものであり、第 5 図のような調整を行なうための具体的回路構成は他にも多く考えることができる。

第 7 図に、第 6 図に示す回路の動作を説明するためのタイミングチャートを示す。アドレスカウンタ 61 は一定の周期 (本実施例では $1/5H$ 周期) で制御回路 12 から入力端子 60 に入力するクロックに同期し ROM 62 のアドレスをカウントする。

アドレスカウンタ 61 のアドレスに従い、ROM 62 からは、第 3 図の垂直走査電極 K1 に印加するパルスに相当する第 6 図のパルス K が出力される。第 6 図においてパルス K は時刻 $t_0 = 0$, $t_1 = (1 + 1/5)H$, $t_2 = (3 + 2/5)H$, $t_3 = (7 + 3/5)H$, $t_4 = (15 + 4/5)H$ で 5 つのパルスが立上り、それぞれ $1/5H$ 後の $t_1' = 1/5H$, $t_2' = (1 + 2/5)H$, $t_3' = (3 + 3/5)H$, $t_4' = (7 + 4/5)H$, $t_5' = 16H$ で立下る。

このパルス K は 2 つの信号に分けられて一方は端子 63 から出力され、垂直走査パルス発生回路 5、水平走査パルス発生回路 6 の入力信号となる。他方は第 6 図に示すように、 $n+1$ 進カウンタ 67、 m ビットカウンタ 69、D-FF 73 のクロックおよび L ビットカウンタ 72 のリセット信号となる。ここで n は映像信号を A/D 変換した PCM 信号のビット数、 m は 1 フィールド内のパルス数を 2 進で表わすのに十分な大きさのビット数である。本実施例では $n = 4$ で説明している。

第 6 図において $n+1$ 進のカウント 67 はフィールド走査を開始する時刻 t_0 。以前に、例えば垂直同期信号等によってリセットされ、時刻 t_0 。以後のパルス K の個数をカウントする。第 7 図では、パルス K を 5 カウントすると時刻 t_0' 。においてその立下りに同期したパルス A を出力する。さらに、第 7 図では示していないが、次のフィールド走査開始直前で、例えば垂直同期信号によってカウンタ 67 がリセットされ、同時に、パルス A は立下るものとする。

単安定マルチバイブレータ68はパルスAの立下りに同期するパルスBを出力する。パルスBは単安定マルチバイブレータの発振時定数調整端子65(この端子65はコントラスト調整回路14につながっているが、コントラスト調整のためではなく、輝度調整のために用いられる)によって決まる時刻 t_0' で立下る。

カウンタ69はパルスKをクロックとして2進でカウントアップし、 m ビットの信号 $Q_1' \sim Q_n'$ を出力する。但しカウンタ69はフィールド走査開始時刻 t_0 。以前に、例えば垂直同期信号等によってリセットされ、またカウント開始時の $Q_1' \sim Q_n'$ の初期値は調整端子64(この端子64はコントラスト調整回路14につながっており、コントラスト調整のために用いられる)に印加するデータによってプリセットできるものとする。

デコーダ70はカウンタ69の出力 $Q_1' \sim Q_n'$ によって 2 進の出力 $Q_1 \sim Q_n$ を出力する。第7図には $Q_1 \sim Q_n$ の波形を示す。

カウンタ72は 2 ビットの2進カウンタであり、

制御回路12から端子66に inputs する基本維持パルスTをカウントする。但し、カウンタ72はROM62の出力パルスKでリセットされ、その立下りでカウントを開始するものとする。

コンパレータ71はデコーダ70とカウンタ72の出力を比較し、両者が一致する時刻に1個のパルスを出力する。例えば、パルスKの $t_0 \sim t_1$ で最初に立上るパルスに対するカウンタ69の出力が $Q_1' = 1, Q_2' = Q_3' = \dots = Q_n' = 0$ とすればデコーダ70の出力も $Q_1 = 1, Q_2 = Q_3 = \dots = Q_n = 0$ となる。したがって、カウンタ72が維持パルスTを1カウントした時にコンパレータ71がパルスを出力する。同様にして、パルスKの2番目、3番目、4番目の入力に対し、カウンタ72がそれぞれ、維持パルスを2カウント、4カウント、8カウントするとコンパレータ71がパルスを出力する。

このコンパレータ71の出力パルスと $n+1$ 進カウンタ67の出力パルスをOR74に入力し、それらの和をD-FF73のリセットパルスとす

る。D-FF73はパルスKの立下り時刻 $t_0' \sim t_1'$ に同期して立上り、OR74の出力の立上りに同期して立下るパルスCを出力するものとする。OR74の出力は $n+1$ 進カウンタ67の出力Aおよびコンパレータ71の出力との和であり、最初にコンパレータ71の出力によってD-FF73がリセットされるようになっているので、パルスCは時刻 t_0', t_1', t_2', t_3' で立上りそれぞれ維持パルスを1, 2, 4, 8カウントした時刻で立下る。時刻 t_0' においてもCのパルスが立上るが、その立上りと同時にカウンタ67の出力Aによって時刻 t_0' にD-FF73がリセットされるので、実質上パルスは発生しない。

このD-FF73の出力Cと単安定マルチバイブレータ68の出力BとをOR75で加算してパルスDを形成し、AND76の一方の入力端子にこのパルスDを印加する。

AND76では、パルスDをストローブ信号として基本維持パルスTを特定の個数ずつゲートし、維持パルスSを出力する。上記説明から分るよう

に、パルスSはパルスKの立下り時刻 t_0', t_1', t_2', t_3' に同期して維持パルスをそれぞれ個数 $a_0 = 1, a_1 = 2, a_2 = 4, a_3 = 8$ だけ出力する。パルスKの時刻 t_0' で立下るパルスに対しては単安定マルチバイブレータ68の時定数によって決まるパルスBの立下る時刻 t_0 でパルスSの個数 a が決まる。第7図では $a = 8$ である。

第6図、第7図の説明から、端子64に印加するプリセットデータによってカウンタ69のカウント開始データを調整すれば、維持パルスSの個数 a_1, a_2, a_3, a_0 を調整することができる。したがって端子64は維持パルス制御端子の役割を有する。

第8図に、端子64に印加するプリセットデータによってカウンタ69のカウント開始データを調整したときの第6図に示す回路のタイミングチャート例を示す。すなわち、プリセットによってカウンタ69の開始データを $Q_1' = 1, Q_2' = Q_3' = \dots = Q_n' = 0$ とすれば、パルスKの $t_0 \sim t_1$ で最初に立上るパルスに対するカウンタ69

の出力は $Q_1 = 0, Q_2 = 1, Q_3 = Q_4 = \dots = Q_n = 0$ となり、このときデコーダ 70 の出力は $Q_1 = 0, Q_2 = 1, Q_3 = Q_4 = \dots = Q_n = 0$ となる。したがってカウンタ 72 が維持パルス T を 2 カウントした時にコンプレータ 71 がパルスを出力する。同様に、2 番目のパルスが立上る時刻 $t = t_1$ においてカウンタ 69 の出力は $Q_1 = Q_2 = 1, Q_3 = Q_4 = \dots = Q_n = 0$ となりデコーダ 70 の出力は $Q_1 = Q_2 = 1, Q_3 = Q_4 = \dots = Q_n = 0$ となる。

したがってカウンタ 72 が維持パルス T を $2^i - 4$ カウントするとコンプレータ 71 がパルスを出し、以下パルス K の 3 番目、4 番目の入力に対し、カウンタ 72 がそれぞれ維持パルスを 8 カウント、16 カウントするとコンプレータ 71 がパルスを出し、

このコンプレータ 71 の出力パルスと $n+1$ 進カウンタ 67 の出力パルスを OR 74 に入力、それらの和を D-FF 73 のリセットパルスとしてパルス C を形成する。このパルス C とパルス B と

を OR 75 で加算してパルス D を形成し、AND 76 のストロブ入力とする。ここで第 8 図に示すパルス C は第 7 図に示すパルス C に比べてパルス幅が 2 倍になっており、パルス B は第 8、7 図で同じである。

したがって、第 8 図に示すパルス S は、第 7 図に示すパルス S に比べて、 a_1, a_2, a_3, a_4 の個数が倍になり a の個数は変わらない。

第 7 図に示すタイミングチャートは第 5 図に示す維持パルス列 A を形成する場合に相当し、第 8 図は維持パルス列 A' を形成する場合に相当する。上記(5)式との関連でいうと、第 7 図は $m=1$ の場合、第 8 図は $m=2$ の場合に相当する。 m が更に大きい場合についても、端子 64 に印加するプリセットデータを変えるだけで容易に実現できることが以上の説明で明白である。

こうして得た維持パルス S は、第 6 図の点線枠 80 に示す遅延回路 78 によって 1 H ずつ遅延され、第 1 図に示すドライバ 10 を介して表示パネル 11 の維持電極（例えば第 4 図の A1 ~ A3）

に印加される。各表示画素には全てこの維持パルス S が印加されるが、各表示画素が点灯するかどうかは、第 3 図の説明の様に表示パネル 11 の垂直走査電極と水平走査電極（それぞれ第 4 図の K1 ~ K3 と S1 ~ S4）に印加する走査パルスのタイミングによる。このとき、同じ走査パルスを与えても、第 7 図より第 8 図に示す維持パルス S を印加した方が表示画素の発光輝度が大きく、コントラスト比も大きくなる。この調整に対する効果は第 5 図で説明した通りである。

第 9 図は、A/D 変換器に入力する映像信号に対する表示画素の輝度 L との関係を示す。簡単の為第 5 図のような輝度 L の階段状変化は省略した。A/D 変換器のダイナミックレンジは $0 \sim v_{max}$ の範囲であるとし、入力 1 の設定では映像信号の上限（白ピーク） v_{max} と下限（黒レベル） v_{min} を A/D 変換器のダイナミックレンジに揃えて使用するのが普通である。

この入力 1 の設定条件下で、第 7 図、第 8 図に示すようにそれぞれ $a_1 = 2^i$ あるいは $a_1 = 2 \cdot$

2^i のような維持パルス組を形成して表示パネル 11 に印加すれば、それぞれ実線 A に示す最小輝度信号 L_{min} から最大輝度信号 L_{max} まで変化する輝度特性あるいは実線 A' に示す最小輝度 L'_{min} から最大輝度 L'_{max} まで変化する輝度特性が得られる。ここで実線 A' は $a_1 = 3 \cdot 2^i$ の維持パルス組に相当する。

第 5 図で説明したように、維持パルス組を $a_1 = 2^i m$ で与えると輝度特性が直線になるが、 m を変えると最大コントラストが飛び飛びに変化する。第 9 図において、 $m=1$ から 2 に変えると実線 A から実線 A' に輝度特性が変化し、コントラスト比も $C_A = L_{max} / L_{min}$ から $C_{A'} = L'_{max} / L'_{min}$ に変化する。このままでは C_A と $C_{A'}$ の中間のコントラスト比が存在しないが、実線 A' の輝度特性において、A/D 変換器に入力する映像信号の振幅を絞って白ピーク v'_{max} が A/D 変換器のダイナミックレンジ上限 v_{max} より小さくなるように入力を設定すれば中間のコントラスト比を得ることができる。

すなわち、入力 2 の設定のように $v'_{max} < v_{max}$ とすれば、映像信号は v_{min} から v'_{max} の間でのみ変化するのであるから、輝度は実線 A' 上 L_{min} から点 C の輝度 L'_{max} の範囲で変化することになる ($L'_{min} < L'_{max}$)。このときのコントラスト比は $C_{s'} = L'_{max} / L'_{min} < C_s$ である。もちろん、A/D 変換器の入力振幅を絞ることによって階調数は減るが、本発明の方が従来に比べてコントラスト調整範囲が広く、また階調数を損なう率が少ない。

なぜなら、従来技術では例えば輝度特性は実線 A' に固定され、入力信号振幅だけでコントラスト調整を行なうだけであり、その調整範囲は $1 \sim L'_{max} / L_{min}$ に限られていた。また、 $C_{s'} = L'_{max} / L'_{min}$ の半分のコントラスト比を得るには、従来は A/D 変換器の入力信号振幅を半分にしてその分階調数も半分とならざるを得ないが、本発明では輝度特性を実線 A のようにすることで実線 A' で得られるコントラスト比の半分のコントラスト比を実現でき階調数も変わらない。

調整回路 14 に相当する。

通常、コントラスト調整は維持パルス制御回路 81 において維持パルスの個数を制御して行なう。この制御は調整端子 64 で操作する。維持パルスの個数で制御できるコントラスト比の中間値を得る調整をする場合には、切換検出端子 100 で維持パルスの状態を検出し、切換制御回路 101 が動作する。この切換制御回路 101 の命令に応じて振幅制御回路 104 が動作し、振幅調整端子 103 に連動して映像信号処理回路 2 の出力映像信号の振幅を変える。なお、端子 64 と端子 103 の制御を電圧制御とすれば、例えば中間タップ付きの 4 端子可変抵抗器とダイオードクリップ回路などの適切な電子回路を用いて 1 つの調整用可変抵抗器で連続の調整ができるように構成できる。

第 11 図は、映像信号入力端子 1、映像信号処理回路 2、A/D 変換器 3、A/D 変換器出力端子 102、維持パルス制御回路 81、切換信号検出端子 100、切換制御回路 101、リファレンス電圧制御回路 103、リファレンス電圧の調整

第 9 図では、コントラスト調整を維持パルス 81 の個数調整と A/D 変換器の入力信号振幅調整とで行なうことを述べた。この方法におけるコントラスト調整回路の例を第 10～12 図に示す。

第 10 図は、映像信号入力端子 1、映像信号処理回路 2、A/D 変換器 3、A/D 変換器出力端子 102、維持パルス制御回路 81、切換信号検出端子 100、切換制御回路 101、振幅制御回路 104、振幅調整端子 103、維持パルス調整端子 64、制御維持パルス出力端子 82 で構成される。

これらのうち、映像信号入力端子 1、映像信号処理回路 2、A/D 変換器 3 は第 1 図に示す構成と同じである。第 10 図における維持パルス制御回路 81 は第 6 図に示す点線枠の維持パルス制御回路 81 と同じであるが、細部の入出力端子については第 10 図で省略している。維持パルス制御回路 81、切換制御回路 101、振幅制御回路 104 で構成される点線枠 201 がコントラスト調整回路 201 であり、第 1 図に示すコントラスト

端子 105、維持パルス調整端子 64、制御維持パルス出力端子 82 で構成される。

第 11 図の構成は第 10 図とほぼ同じであるが、第 10 図でのコントラスト調整回路 201 を構成する振幅制御回路 104 が、第 11 図ではリファレンス電圧制御回路 103 で置換えられている点異なる。

通常、維持パルス制御回路 81 で維持パルスの個数を制御してコントラスト調整するが、入力振幅を変える場合には切換制御回路 101 によってリファレンス電圧制御回路 103 を動作させてコントラスト調整する。A/D 変換器 3 の入力リファレンス電圧と入力映像信号電圧とは相対関係にあり、入力リファレンス電圧を変えて入力映像信号の振幅を相対的に変えることができる。したがって第 11 図は第 10 図と同じ効果を与える。

第 12 図は映像信号入力端子 1、映像信号処理回路 2、A/D 変換器 3、A/D 変換器出力端子 102、維持パルス制御回路 81、切換信号検出端子 100、切換制御回路 101、演算回路 10

6、演算の調整端子 103、維持パルス調整端子 64、制御維持パルス出力端子 82、さらに演算回路 106 は A/D 変換器 3 の出力に乘ずる係数を決める係数設定回路 301、掛算回路 302、掛算出力の整数化回路 303 で構成される。

第 12 図の構成は、演算回路 106 を用いて A/D 変換器 3 の出力データを変えろという点において、第 10 図、第 11 図の構成と異なる。他の映像信号処理回路 2、A/D 変換器 3、切換制御回路 101、維持パルス制御回路 81 等の構成について、第 12 図は第 10 図、第 11 図と同じである。

通常、維持パルス制御回路 81 で維持パルスの個数を制御して輝度調整するが、中間のコントラストを得る場合には切換制御回路 101 によって演算回路 106 を動作させてコントラスト調整を行なう。A/D 変換器 3 の出力データに掛算（または割算）を施すことは、A/D 変換器への入力映像信号の振幅を変えることに等しい。したがって第 12 図は第 10 図、第 11 図と同じ効果を与

えることがわかる。

ここで、第 12 図に示す演算回路 106 は入出力が整数であるように構成している。例えば A/D 変換器の出力を 4 ビット (b_0, b_1, b_2, b_3) で表わし、振幅を小さくするのとして係数設定回路 301 の出力は 1 以下の小数でその小数以下を 4 ビット表示 (b_0', b_1', b_2', b_3') であるとする。これら 2 数の掛算は、例えば 4 ビット \times 4 ビットの乗算 IC SN74LS285 (TI 社) を用いて容易に行なえ、通常 8 ビットの出力になる。この掛算出力の上位 4 ビットをとって下位 4 ビットを切捨てれば整数化が容易に行なえる。

以上は、維持パルス列として $a_i = 2^i m$ の条件で維持パルスの個数を制御した場合である。輝度特性の直線性が少し変わるが、A/D 変換した映像信号の各ビットに割当ててる維持パルス数 a_i として $2^i m$ ではなく他のパルス数の組を用いてもコントラスト調整が可能である。

a_i の与え方に特別な規則性を設ける必然性はないが、A/D 変換器の出力をそのまま用いて階

調表示する場合には少なくとも、

$$a_i \geq \sum_{j=0}^{i-1} a_j \quad \dots \dots (9)$$

を満足させる必要がある。例えば 3 と 4 で表わされる振幅の映像信号に対する 4 ビット A/D 変換器の出力は、(b_0, b_1, b_2, b_3) の順序で (1100) と (0010) である。このとき各ビットに割当てた維持パルス a_i の総和は、振幅 3 の信号に対しては $a_0 + a_1 + a_2$ であり振幅 4 の信号に対しては a_3 である。振幅 3 の信号入力時より振幅 4 の信号入力時の方が暗いのは階調表示として異常であるから $a_3 \geq a_0 + a_1 + a_2$ となり上記 (9) 式が成立する。

第 13 図に、維持パルス a_i の与え方を $2^i m$ とは別の仕方であって上記 (9) 式に従って変えたときの輝度 L の特性を示す。すなわち、第 13 図 (a) には垂直走査パルス $k_0 \sim k_7$ とそれに対応する維持パルスの組 ($a_0, a_1, a_2, a_3; a$) を変えた場合を示す。A は (1, 2, 4, 8; 8)、A' は (1, 2, 4, 9; 8)、A'' は (1, 2, 5, 10; 8)、A''' は (1, 3, 6, 12; 8) と

変えた場合である。そして第 13 図 (b) にはそれぞれの維持パルスの組 A ~ A''' に対する輝度 L の特性を示している。

維持パルスの組 A では、出力データの各ビット $b_0 \sim b_3$ に対する維持パルスの割当ては $a_i = 2^i$ に従っており、これは第 5 図と同じである。輝度 L は第 13 図 (b) の太い実線 A で示すように L_{a_0} から L_{a_3} までの直線性を保ちながら 16 階調で変化する。

維持パルスの組 A' では、出力データの MSB である b_3 ビットに対する割当て a_3 のみを $2^3 \rightarrow 2^3 + 2^0$ に変える。このとき輝度 L は第 13 図 (b) の太い点線 A' で示すように L_{a_0} から L'_{a_3} まで 16 階調で変化する。出力データの MSB である b_3 ビットが変わるところで輝度の段差が生じるが、ほぼ直線的な輝度特性となる。

維持パルスの組 A'' では、出力データの MSB である b_3 ビットと次の下位ビット b_2 に対する割当て a_3, a_2 を $a_3 = 2^3 \rightarrow 2^3 + 2^1, a_2 = 2^2 \rightarrow 2^2 + 2^0$ に変える。このとき、輝度 L は

第13図(b)の実線A'で示すように 2^{n-1} から 2^0 まで16階調で変化する。出力データの b_3, b_2 が変わるところで輝度の段差を生じるが、ほぼ直線的な輝度特性を示す。

維持パルスの組A'では、出力データのMSBである b_3 ビットと次の下位ビット b_2, b_1 に対する割当て a_3, a_2, a_1 を $a_3=2^3 \rightarrow 2^3+2^2$, $a_2=2^2 \rightarrow 2^2+2^1$, $a_1=2^1 \rightarrow 2^1+2^0$ と変える。このとき、輝度 L は第13図(b)の実線A'に示すように 2^{n-1} から 2^0 まで16階調で変化する。出力データの b_3, b_2, b_1 が変わるところで輝度の段差を生じるが、ほぼ直線的な輝度特性である。

維持パルスの組A'より更にコントラストが大きくなる組A''は $a_3=2^3 \rightarrow 2^3+2^2=2 \cdot 2^3$, $a_2=2^2 \rightarrow 2^2+2^1=2 \cdot 2^2$, ..., $a_0=1 \rightarrow 1+2^0$ であるが、これは第5図に示す実線A'と同じである。第13図(b)に維持パルスの組A''における輝度特性を×印をつけた点線A''で示した。但し第13図(a)とは関連がないので

A''の記号は()で括弧して示す。

第13図はから分るように、 $a_1=2^1 \cdot m$ で m を変える輝度調整では第13図(b)に示す太い実線A($m=1$)から×印をつけた点線A''($m=2$)へと大きく輝度特性が変わるのに対し、第13図(a)に示す維持パルス列A'~A''のような変え方だと、輝度変化に段差が生じるが階調数を損なうことなくさらに細かいコントラスト調整が可能である。

第13図に示す維持パルス a_j の与え方は、 n ビットのPCM信号を考えると一般に

$$a_j = m \cdot 2^{j-1} + a_{j-1} \cdot 2^{j-1} \quad (1 \leq j \leq n) \quad \dots \dots \dots (10)$$

$$\text{但し} \quad a_{j-1} = \begin{cases} 0 & j-1 < 0 \\ 1 & j-1 \geq 0 \end{cases}$$

で与えられ、上記式(10)の第2項の j によってコントラストの微調が m を固定したまま $n-1$ 段階可能となる。 $j=m$ のとき第5図の調整と同じになることは自明である。

上記以外に維持パルスの個数 a_i の割当て方は存在する。どのような割当て方でもそれを実現す

る回路は無数に存在する。以下その1例を示す。

第14図は任意の維持パルスの個数 a_i を割当てるための回路例をブロック図で示す。第14図は、アドレスカウンタ61、ROM62、CPU300、AND76、1H遅延回路78a~78f、カウンタ61のクロック入力端子60、ROM62の出力端子63、CPU300の制御端子64、基本維持パルスの入力端子66、および維持パルスの出力端子79a~79jで構成される。

第14図の動作は第6図とほぼ同じであるが、端子66に入力する基本維持パルスTをAND76でゲートするためのパルスDをCPU(Central-Processing Unit: 中央処理装置)で形成する点異なる。すなわち、端子60に入力するクロックによってカウンタ61がアドレスをカウントし、そのカウント値に従ってROM62からパルスKが出力する。このパルスKのタイミングに同期して、端子64の調整条件に見合うパルス幅のパルスDをCPU300から出力する。そしてパルスDのパルス幅に応じて a_i 個の基本維持

パルスTをAND76でゲートし、所望のパルス数組の維持パルスを出力端子79a~79jから出力する。このような維持パルス数制御によるコントラスト調整の効果は上記までの説明と全く同じである。

上記では、維持パルス印加電極に印加する維持パルスの個数を変える実施例を示した。この維持パルス個数を一定としたままでは、A/D変換器3のビット数が限られている場合、A/D変換器3の入力信号の振幅を入力ダイナミックレンジ以上にできないため、最大コントラストはA/D変換器3のビット数で制限される。しかし、A/D変換器3の出力に演算を施すことによって、A/D変換器3で決まる最大コントラスト以上に調整でき、しかも微調が容易である。

第15図に、A/D変換器3の出力に掛算を施した実施例における輝度特性の変化を示す。簡単の為、A/D変換器3は $b_3 \sim b_0$ の4ビット出力とし、入力信号はA/D変換器3のダイナミックレンジにその振幅を最速に合わせる。

A/D変換器3の出力に乗ずる数値を2、すなわちコントラスト比の最大可変範囲は2倍とする。通常のC/T/Vでも最適設計値に対して±6dBのコントラスト調整範囲があり、本実施例でも同じ可変幅を与えて説明する。このとき、A/D変換器3の出力に演算を施した画像データは1ビット b' を追加して $b_0 \sim b_3, b'$ の5ビットあれば十分である。

この演算後の画像データのビット数5と、最低輝度を決めるための1ビット b 、合計 $b_0 \sim b_3, b'$ 、 b の6ビットで表示パネル11を階調表示する。このビット数に合わせて、フィールド時分割走査の時分割数を6とし、各走査時にパネル11の垂直走査電極K1に印加する $b_0 \sim b'$ に b に対応したパルスそれぞれ $k_0 \sim k'$ として第15図(a)に示す。各ビット $b_0 \sim b_3, b'$ 、 b に割当てる維持パルス数 a_i は例えば簡単のため b_0 には $a_0 = 1$ 、 b_1 には $a_1 = 2$ 、 b_2 には $a_2 = 4$ 、 b_3 には $a_3 = 8$ 、 b' には $a' = 16$ 、 b には $a = 8$ とする。もちろん a_i の与え方はこ

れだけに限らない。

A/D変換器3の出力に係数1を乗算した場合は、第15図(b)に示す実線Aの通り、最小輝度 L_{min} から最大輝度 L_{max} まで変化する16階調の輝度特性となる。この特性は第5図(b)に示す実線A、第13図(b)に示す実線Aと同じである。

演算の1例としてこのA/D変換器3の出力データに係数1.5を乗算して整数化(小数以下切捨て)した場合の演算後の出力データを第15図(c)に示す。このデータに対する輝度特性は第15図(b)の点線A'に示す通り最小輝度 L_{min} から最大輝度 L'_{max} まで16階調で変化する輝度特性となる。この特性は第13図(b)に示す実線A'と同じである。

係数を1以下にするとこの演算後の出力データに対する輝度特性の階調数は減少する。例えば係数0.5の場合について第15図(b)の点線A''にその輝度特性を示す。

輝度、コントラストが小さい場合は階調数が少

なくても画質の劣化はみとめられない。したがって一般にコントラストを絞る方向については階調数の減少は大きな問題とならないと思われる。

コントラストを最適時より絞っても階調数を変えないようにする方法は、維持パルスの割当数制御と演算回路の組み合わせで、どのような方法でも可能である。

乗算の係数を任意に変えれば、輝度特性の傾きを細かに変えることができ、したがって最大コントラスト比を細かに調整することができる。この乗算を実現する回路は第12図に示す演算回路106と全く同じ構成となる。しかも、調整端子103によって必要な係数を係数設定回路301で設定するようにすれば、維持パルス制御回路81で各ビットに割当てる維持パルスの個数を制御する必然性はない。すなわち、維持パルスの各ビットに対する割当ては回路設計時に調整するだけで十分であり、TV外部からは端子103だけで例えば最適設計に対して±6dBの調整を行なうことができる。

なお、上記第15図の実施例ではA/D変換器の出力を4ビットとし、演算後の画像データを5ビットとしたが、画像データ6ビット、7ビットを更に増やすことも考えられる。この場合にも本発明の効果は明らかであり、更に広い調整範囲が可能である。

また、各ビットに対する維持パルスの個数 a_i は第15図(a)に示す値である必要はない。適当な a_i の組合せに対して、適切な演算を行なう演算回路106を設ければよい。例えば、第15図(a)に示す維持パルス数 a' を10としてもよい。この場合A/D変換器3の出力データに演算を施し、輝度特性がほぼ直線となるように $b_0, b_1 \sim b_3, b'$ のデータを設定する。

さらに、第15図に示す実施例ではA/D変換器3に入力する映像信号の振幅をA/D変換器の入力ダイナミックレンジに揃えるように設定して説明した。設定がずれた場合にはそのずれ量に応じて係数設定回路301で設定する係数を補正するようにすれば、A/D変換器3での入力信号の

直流レベルが変化しても、パネルの輝度特性の傾きは変化しない。この係数の補正方法として例えば、第12図において、最適設計時における映像信号の黒レベルを基準にしてそれからのずれ量を端子103に印加すればよい。

以上の実施例では、垂直走査パルス発生回路5と水平走査パルス発生回路6とで表示パネル11の表示画素をアドレスし、発光に必要な維持パルスを必要な個数だけ印加していた。この維持パルスの個数を調整してコントラスト調整するのが上記実施例であるが、維持パルスの個数を変えずに、維持パルスによる発光回数を他のパルスによって調整しても同じ効果を得る。以下この実施例を示す。

第16図に典型例として、フィールド時分割走査でパルス数変調する場合における2値表示パネルの表示回路をブロック図で示す。

表示回路は第1図と同様映像信号入力端子1、映像信号処理回路2、A/D変換器3、メモリ4、垂直走査パルス発生回路5'、水平走査パルス発

生回路6、維持パルス発生回路7'、垂直ドライバ8、水平ドライバ9、維持パルス印加用のドライバ10'、2値の表示パネル11、制御回路12およびコントラスト調整回路14'で構成され、表示部13'は第1図の定義と同じである。

但し、コントラスト調整回路14'は垂直走査パルス発生回路5'に接続されている点と、これに伴い垂直走査パルス発生回路5'、維持パルス発生回路7'、コントラスト調整回路14'が第1図に示すそれぞれの回路と異なる。

第16図に示す表示パネル11は、垂直走査パルス発生回路5'と水平走査パルス発生回路6とによって表示画素がアドレスされ、維持パルス発生回路7'からの維持パルスによって発光するものとする。そして、維持パルスによる発光は垂直走査電極に発光停止用パルス(消去パルス)を印加して停止させる。例えば、このような表示パネルとして垂直走査電極を放電電極としたPDPがあり、このようなPDPでは陰極電圧を制御することで発光開始、停止を制御できる。

第17図に、表示パネル11に印加する垂直走査電極K1~K3、維持電極A1~A3、水平走査電極S1~S4に印加するパルスのタイミングを示す。第16図は、第3図に示すタイミングチャートと同様に、表示パネル11上に配列する縦3画素、横4画素の表示部分を表示するに十分な数の走査電極を選んで示している。

垂直走査電極K1には例えば時刻0, $(1+1/5)H$, $(3+2/5)H$, $(7+3/5)H$, $(15+4/5)H$ で立下るそれぞれ k_0, k_1, k_2, k_3, k のパルスと各 k_0, k_1, k_2, k_3, k のパルスの立下りからそれぞれ時間 T_0, T_1, T_2, T_3, T の後に立上るパルス C_0, C_1, C_2, C_3, C を印加する。垂直走査電極K2, K3には、K1に印加するパルスと波形が同じであるが、K1からそれぞれ1H, 2H遅れたパルス $k_0 \sim k_3, C_0 \sim C_3$ を印加する。維持電極A1~A3には連続的な維持パルスを印加する。水平走査電極S1~S4には、映像信号のA/D変換データに従い、垂直走査電極K1~K3に印加したパルス $k_0 \sim k_3$ のいずれ

かとタイミングの合うパルスを印加する。但し、K1~K3に印加したパルス k にタイミングの合うパルスは全てS1~S4に印加される。

第17図において、垂直走査電極K1~K3に印加するパルス $k_0 \sim k_3$ と水平走査電極S1~S4に印加するパルスとタイミングの合う時刻で、各表示素子は維持電極A1~A3に印加する維持パルスによる発光を開始する。そして、垂直走査電極K1~K3に印加するパルス $C_0 \sim C_3$ によって各発光を停止する。垂直走査電極K1~K3に印加するパルス $k_0 \sim k_3$ とパルス $C_0 \sim C_3$ とのそれぞれの時間差 $T_0 \sim T_3$ によって、発光開始から発光停止までの時間、すなわち維持パルスによる発光回数が決まる。したがって第17図では維持パルスを各電極A1~3に連続的に印加するだけでよい。

第16図、第17図に示す実施例では、垂直走査電極に印加するパルス $k_0 \sim k_3$ と $C_0 \sim C_3$ とのそれぞれの時間差 $T_0 \sim T_3$ を調整することによって、表示パネル11のコントラスト調整が

可能である。この時間差 T 、 $\sim T$ は、第 7 図に示すタイミングチャートにおいて、パルス D の $t_1 \sim t_2$ で立上るパルス幅に等しい。したがって、第 7 図に示すパルス D を形成する回路（第 6 図あるいは第 14 図に示す回路の一部）を利用すれば、容易に本実施例を実現できる。

以上、パルス数変調を用いて本発明の実施例を説明した。さらに、本発明の効果はパルス幅変調、パルス高変調についても同じである。例えば、画像信号を A/D 変換し、その PCM 信号の各ビットに対して割当てた維持パルスのパルス幅を変えることによってコントラスト調整が可能である。パルス高変調でも同様の説明が成り立つ。

本発明の実施例ではパネル走査をフィールド時分割で行なったが、本発明はこのフィールド時分割走査だけに限らない。走査方式によっては 1 画の走査で、上記(1)式と同様な式で表わされる個数もしくは幅、高さの維持パルスを表示画素に与えて画面表示することも可能である。この場合でも、A/D 変換した画像信号の各ビットに対する維持

パルスの数、もしくは幅、高さの割当てを調整する回路を設けることは本発明の実施例と同じであり、上記に示す本発明の実施例と同じ効果を与える。

パネルの構造、走査方式によっては垂直走査パルスおよび水平走査パルスだけで画像表示しているよう見え、維持パルスおよびその印加回路が明確でない場合もあり得る。例えば維持パルスを水平走査パルスもしくは垂直走査パルスに重畳して駆動する場合である。しかし、この場合も、アドレス用パルスと発光に寄与する維持パルスがあり、この維持パルスの数もしくは幅、高さを調整する回路を設けることは本発明の実施例と同じであり、上記と同じ効果を与える。

なお、本発明の実施例で用いた表示パネルはモノクロ、カラーいずれでもかまわない。表示パネルがカラーパネルであっても、本発明に従えば白バランスを変えずにコントラスト調整が可能である。

〔発明の効果〕

本発明によれば、画像信号を A/D 変換して得たディジタル信号の各ビットに対して割当てた維持パルスの個数を調整することによって、入力映像信号に対する表示画素の輝度特性を変えることができるので、ディジタル信号のビット数で決まる画像の階調数を損なうことなく表示パネルのコントラスト調整を行なうことができ、さらに必要ならば上記維持パルスの個数調整で行なうコントラスト調整を細かく行なうことも可能であり、従来のコントラスト調整に比べて広範囲で高性能なコントラスト調整ができるという効果がある。

4. 図面の簡単な説明

第 1 図は本発明の一実施例を示すブロック図、第 2 図はフィールド時分割走査を説明するための走査線と走査時間の関係説明図、第 3 図は第 2 図に示す走査方式で表示パネルの走査電極に印加する信号のタイミングチャート、第 4 図は表示パネルの一部分の画素配列図、第 5 図は A/D 変換出力に対する表示画素の輝度変化を表わす説明図、第 6 図は本発明の一実施例における維持パルス発

生回路の具体的回路構成図、第 7 図は第 6 図に示す回路の動作を説明するための主要パルスのタイミングチャート、第 8 図は第 7 図に示す回路で設定状態を変えたときの主要パルスのタイミングチャート、第 9 図は A/D 変換器に入力する映像信号と輝度との関係を説明するための入力信号対輝度の特性図、第 10 図、第 11 図、第 12 図はそれぞれ本発明におけるコントラスト調整を説明するための輝度調整回路の構成例を示すブロック図、第 13 図は、各ビットに対する維持パルスの割当て数を第 5 図に示す割当てとは別にした場合での本発明の効果の説明するための、A/D 変換出力に対する表示画素の輝度変化を表わす特性図、第 14 図は第 13 図に示す維持パルスの割当て方法を実現するための回路構成例を示すブロック図、第 15 図は A/D 変換器の画像データに演算を施してコントラスト調整する実施例を説明するための、A/D 変換出力に対する表示画素の輝度変化を表わす説明図、第 16 図は第 1 図と異なる走査での実施例を示すブロック図、第 17 図は第 16

図に示す実施例の動作を説明するための表示パネルに印加する駆動信号のタイミングチャート、である。

符号の説明

1…映像信号入力端子、2…映像信号処理回路、3…A/D変換器、4…メモリ、5…垂直走査パルス発生回路、6…水平走査パルス発生回路、7…維持パルス発生回路、8、9、10…ドライバ、11…表示パネル、12…制御回路、14…コントラスト調整回路

代理人 弁理士 並 木 昭 夫

図 1

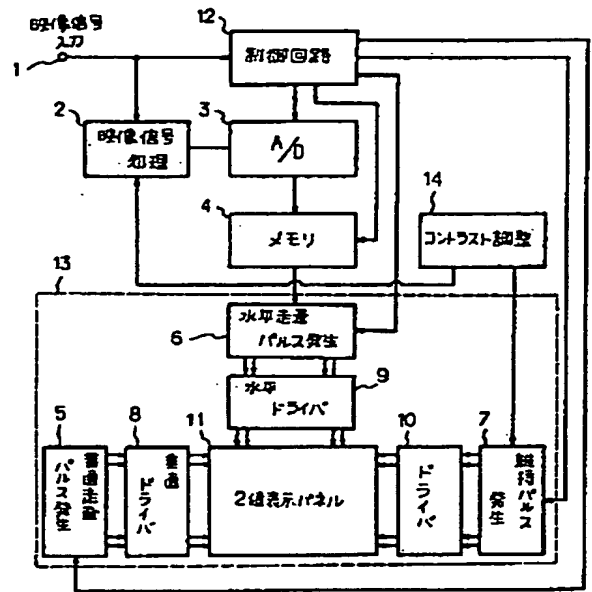


図 2

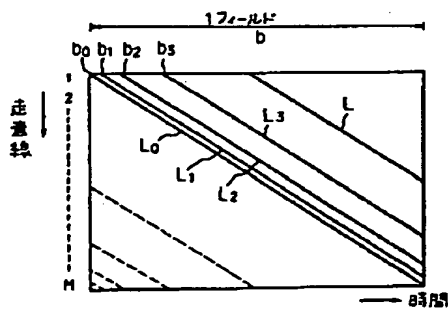


図 3

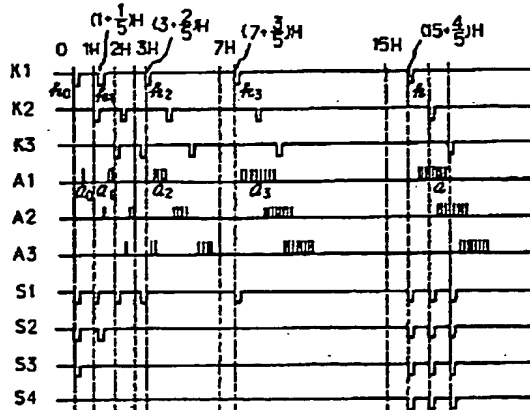


図 4

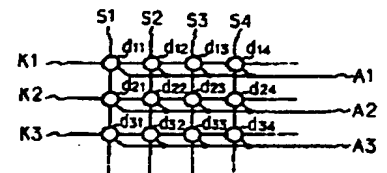
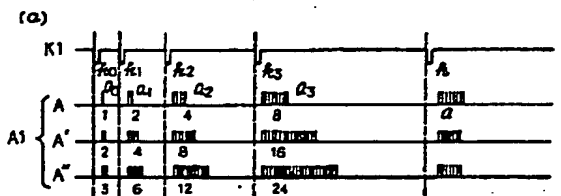
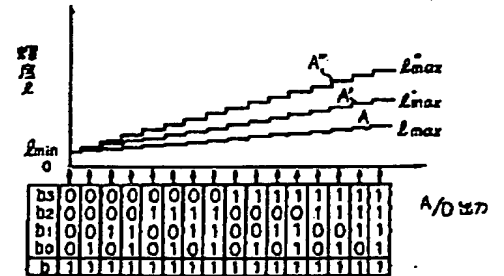


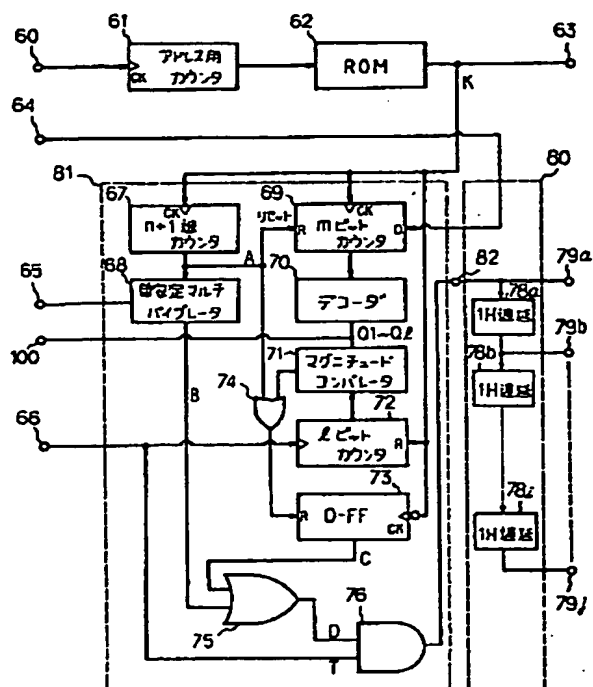
図 5



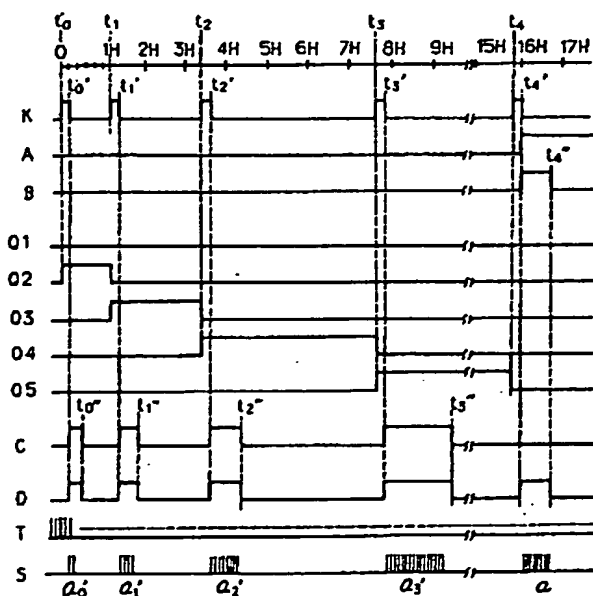
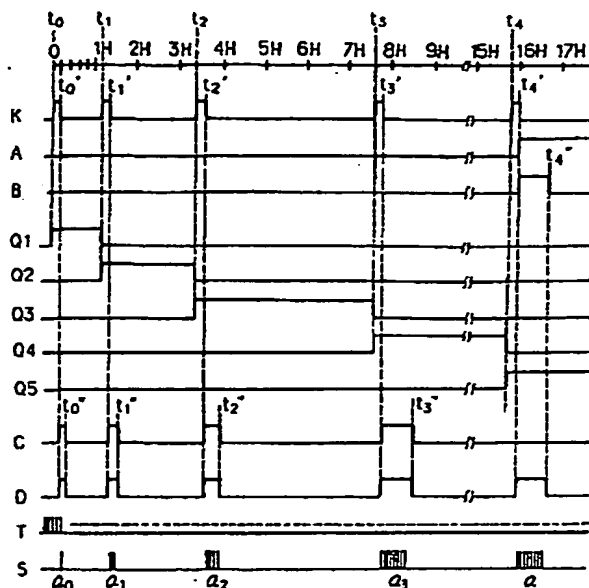
(b)



第 6 章



第 7 回



9

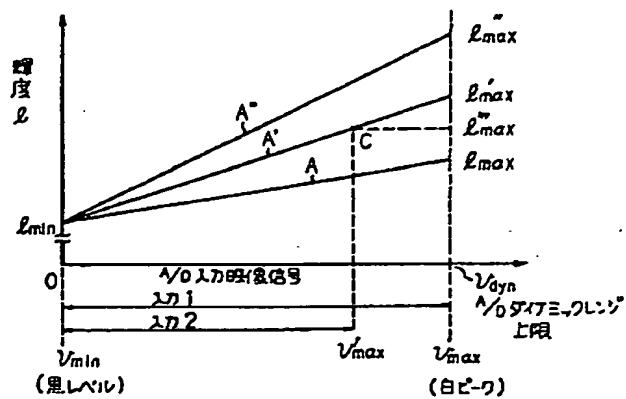


図 10

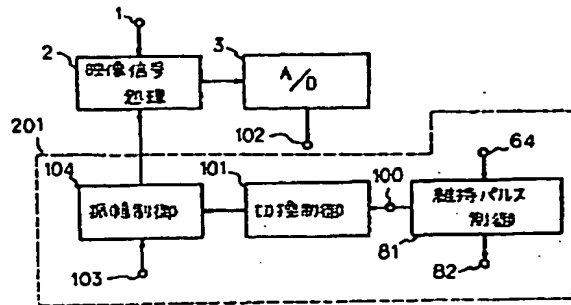


図 11

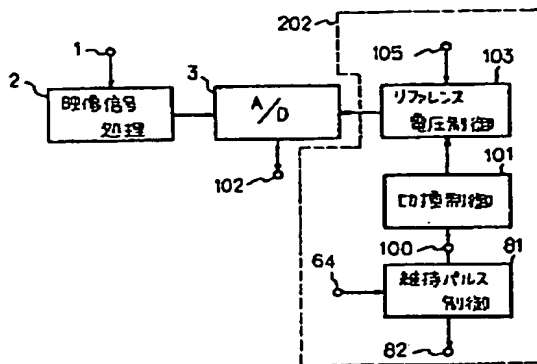


図 13

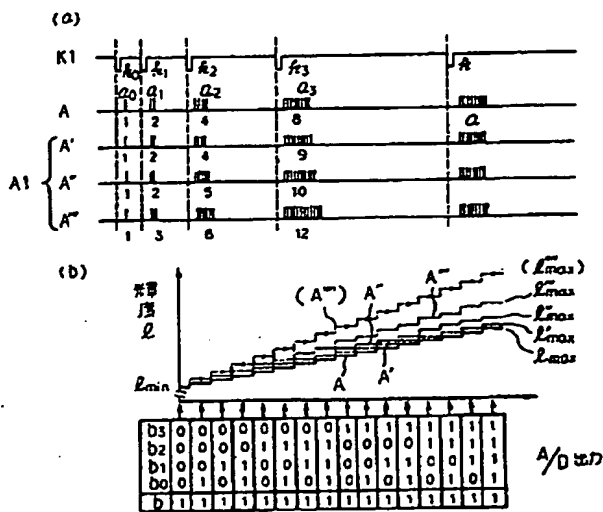


図 12

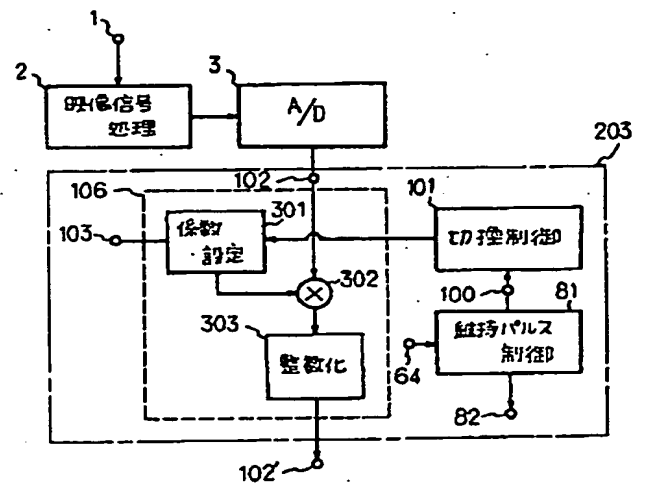


図 14

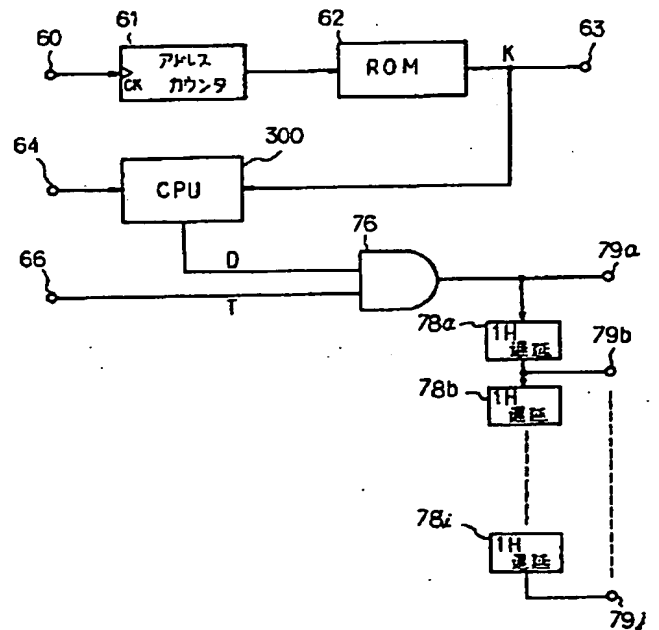


図 15

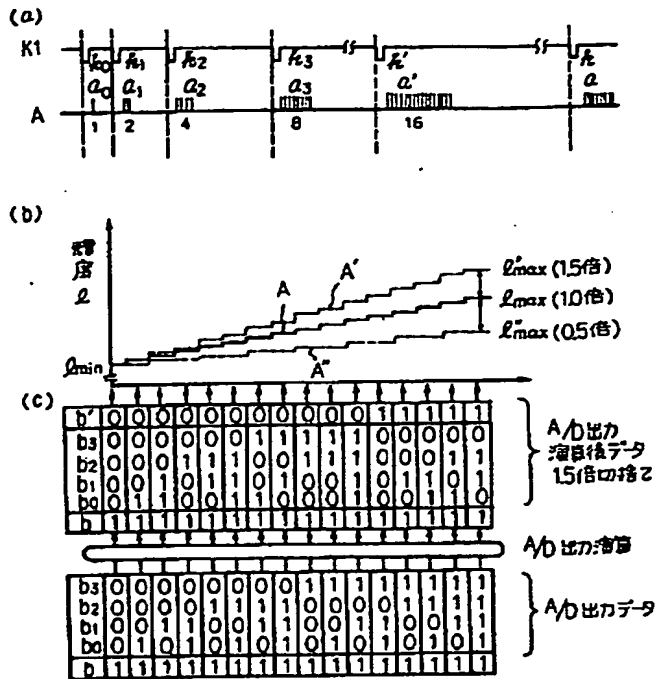


図 16

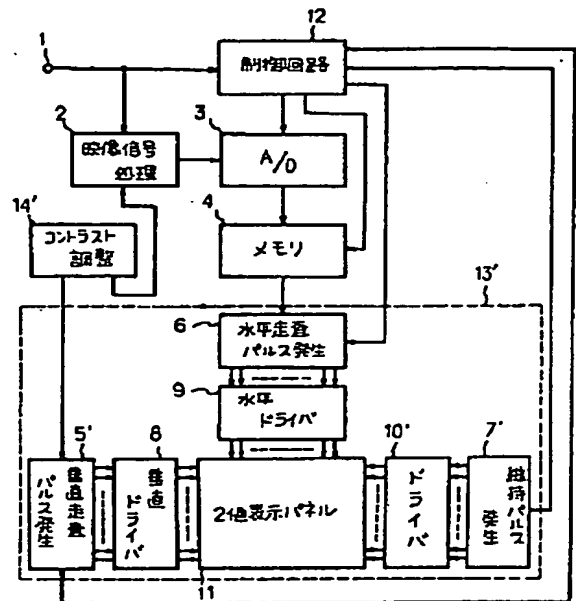
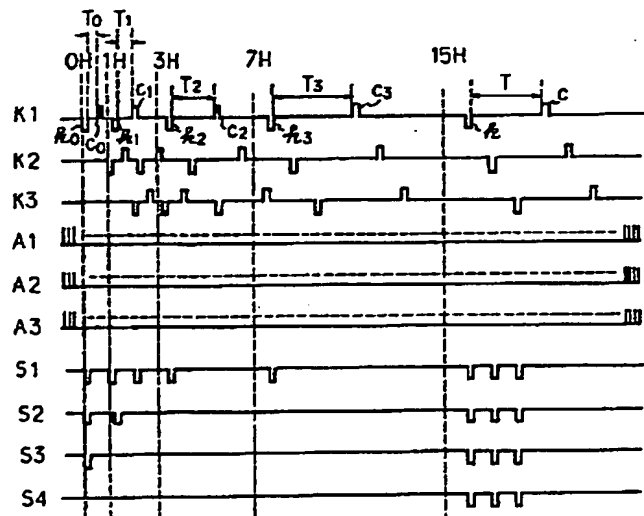


図 17



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKewed/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.